

UCB-BF504
ユーザーズマニュアル
第 4 版

金子システム株式会社

ご注意

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、当社ホームページを通じて公開される情報を参照ください。
2. 当社から提供する情報の正確性と信頼性には万全を尽くしていますが、誤りがないことを保証するものではありません。当社はその使用に対する責任を一切負いません。その使用によって第三者の特許権、著作権その他知的財産が侵害された場合でも、同様に責任を負いません。
3. 本資料は、当社の書面による事前の明示同意がない限り、いかなる形式でも複製できません。
4. 当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。

目次

1	はじめに.....	3
1.1	パッケージ内容.....	3
2	ハードウェア・リファレンス.....	4
2.1	製品外観.....	4
2.2	ブロック図.....	5
2.3	外形寸法.....	5
2.4	DIP スイッチの設定.....	6
2.5	コネクタ仕様.....	7
2.6	JTAG ヘッド.....	9
3	更新履歴.....	9

1 はじめに

このたびは当社製品をご購入いただき、ありがとうございます。

本製品は、アナログ・デバイセズ社 DSP である Blackfin ADSP-BF504F を使用した CPU ボードです。本製品 UCB-BF504 の特徴は以下の通りです。

- 62mm×45mm と小型です
- ユニバーサル基板に挿入でき、実験や試作に最適です
- Blackfin の動作に必要な電源は基板にて生成するため、3.3V を供給すれば動作いたします
- DIP スイッチにより、ブートモードが切り換えできるため、ご都合に合わせたブートが指定可能です
- BF504F は 512K バイトの実行可能なフラッシュメモリを内蔵しているため、他社マイコンと同じような感覚で Blackfin が扱えます

また、ADSP-BF504F プロセッサの特徴は以下の通りです。

- 最大 400MHz コアクロックで動作し、2 個の MAC(積和演算器)により、800MMACs(メガ積和演算/秒)のパフォーマンスに達します
- 遅延なしで動作可能な L1 SRAM を 68k バイト内蔵
- 4M ビット(512K バイト)の実行可能なフラッシュメモリを内蔵
- 省電力
- 2 個の SPI、2 個の SPORT、2 個の UART、1 個の PPI
- 12 個のペリフェラル DMA チャンネルと、2 個のメモリ間 DMA チャンネル
- 2 個の 3 相 PWM ユニット
- 12×12mm の LFCSP パッケージ

詳細は、アナログ・デバイセズ社の ADSP-BF504F のサイトを参照ください。

<http://www.analog.com/jp/processors-dsp/blackfin/adsp-bf504f/processors/product.html>

関連する技術資料は、以下を参照ください。

<http://www.analog.com/jp/processors-dsp/blackfin/adsp-bf504f/processors/technical-documentation/index.html>

- 回路図やサンプルプログラムは、以下のサイトを参照ください。

<http://kaneko-sys.co.jp/support/>

1.1 パッケージ内容

UCB-BF504 のパッケージには、以下が含まれます。

表 1 パッケージ内容

内容	数量
UCB-BF504 ボード	1 枚
40×2 列 ピンヘッダ (折ってお使いください)	1 個
13 ピンヘッダ	1 個

2 ハードウェア・リファレンス

2.1 製品外観

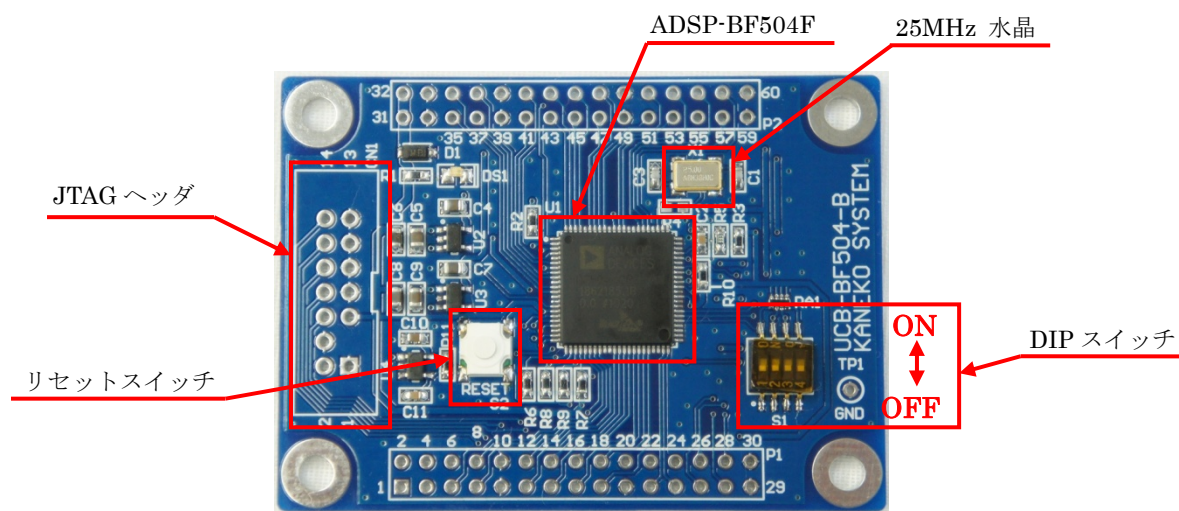


図 1 表面写真

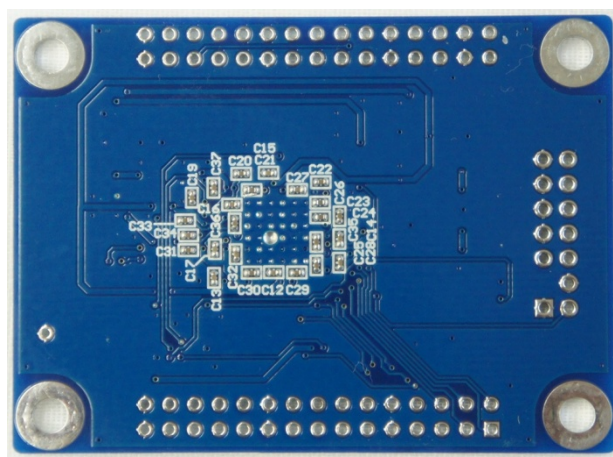


図 2 裏面写真

ご使用前に、DIPスイッチの保護シートをはがしてください。

2.2 ブロック図

ここでは、UCB-BF504 ボード上のプロセッサの構成を説明します。

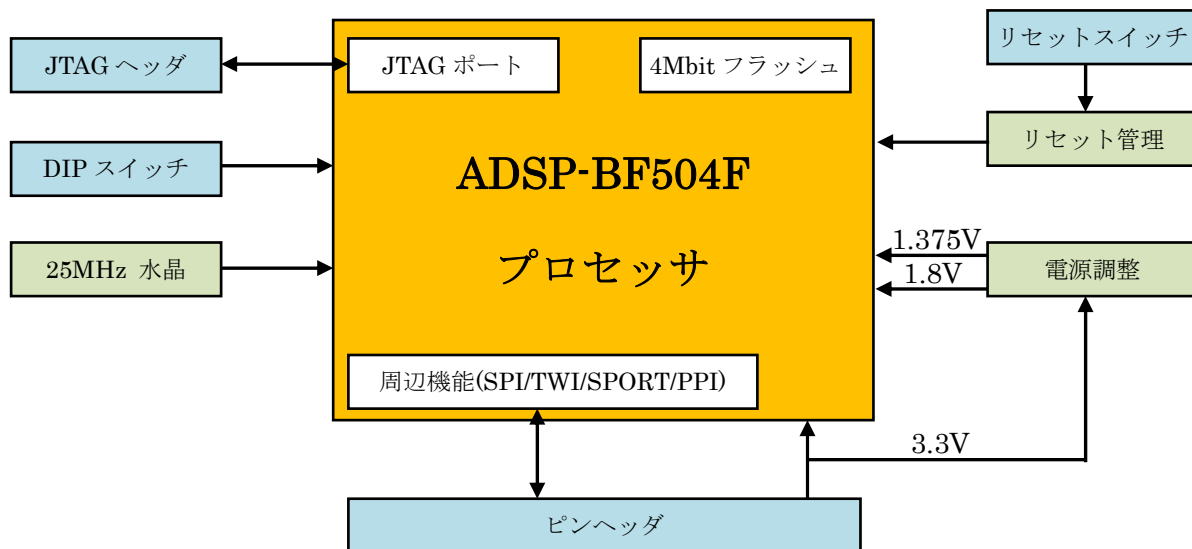


図 3 簡易ブロック図

UCB-BF504 は、ADSP-BF504F Blackfin プロセッサを中心に、動作に最低限必要となる以下の機能で構成されています。

- JTAG ヘッダ
- DIP スイッチ (ブートモードを設定)
- 25MHz 水晶
- 1.375V・1.8V リニアレギュレータ
- リセット管理 (リセットスーパーバイザ)
- リセットスイッチ

2.3 外形寸法

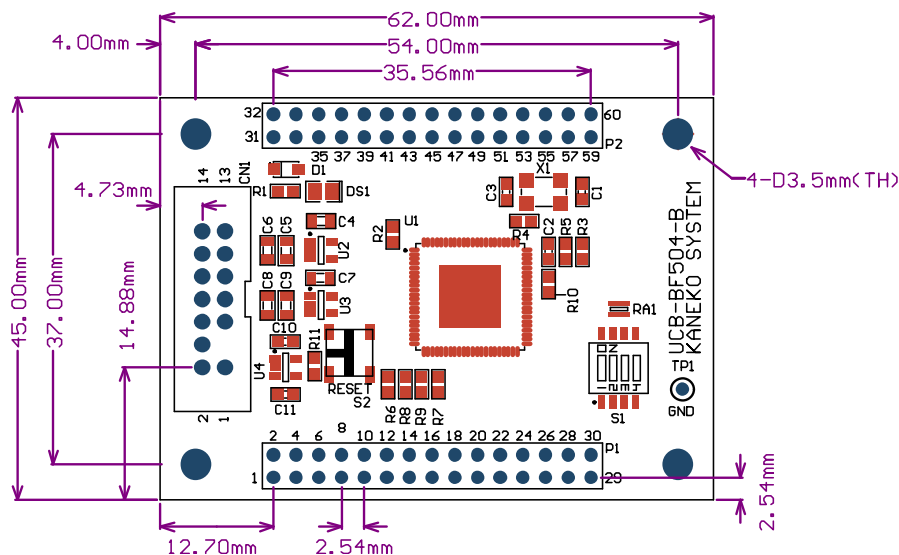


図 4 基板外形図

2.4 DIP スイッチの設定

ADSP-BF504F のブートモードの設定を行います。

表 2 DIP スイッチ機能表

番号	操作	説明
1	ON	BMODE2 ピンの論理を L に設定します。
	OFF	BMODE2 ピンの論理を H に設定します。
2	ON	BMODE1 ピンの論理を L に設定します。
	OFF	BMODE1 ピンの論理を H に設定します。
3	ON	BMODE0 ピンの論理を L に設定します。
	OFF	BMODE0 ピンの論理を H に設定します。
4	ON	未使用
	OFF	未使用

各ブートモードに対応したスイッチ 1~3 の設定は以下の通りです。

ブートモードの詳細は、アナログ・デバイセズ社「ADSP-BF50x Blackfin Processor Hardware Reference」を参照ください。

表 3 ブートモードと DIP スイッチの対応

ブートモード	スイッチ			備考
	1	2	3	
000 Idle/No Boot	1 ON	2 ON	3 ON	
001 Boot from internal parallel flash in async mode	1 ON	2 ON	3 OFF	内蔵フラッシュからのブート（非同 期アクセスモード）
010 Boot from internal parallel flash in sync mode	1 ON	2 OFF	3 ON	内蔵フラッシュからのブート（同期 バーストアクセスモード） ※キャッシュを有効にしてフラッシ ュにアクセスする場合は、この設定 が有効です。
011 Boot through SPI0 master from SPI memory	1 ON	2 OFF	3 OFF	
100 Boot through SPI0 slave from host device	1 OFF	2 ON	3 ON	
101 Boot through PPI from host	1 OFF	2 ON	3 OFF	
110 Reserved	1 OFF	2 OFF	3 ON	設定しないでください

111	1	2	3	
Boot through UART0 slave from host device	OFF	OFF	OFF	

2.5 コネクタ仕様

※ 各表の入出力は、ADSP-BF504F からみたもので、信号名の最後に # が付く名前は、負論理（Low アクティブ）であることを示します。

※ 各ピンの詳細は、アナログ・デバイセズ社「ADSP-BF50x Blackfin Processor Hardware Reference」を参照ください。

表 4 コネクタ仕様

ピン番号	信号名	入出力	説明
1	PG1	入出力	PG1/SPI1_SEL2/PPI_FS3/CAN_RX/TACI5
2	PG0	入出力	PG0/SPI1_SEL3/TMRCLK/PPI_CLK/UA1_RX/TACI4
3	PG3	入出力	PG3/HWAIT/SPI1_SCK/DT1SEC/UA1_TX
4	PG2	入出力	PG2/SPI1_SEL1/TMR4/CAN_TX/SPI1_SS
5	PG5	入出力	PG5/SPI1_MISO/TMR7/PWM1_TRIP
6	PG4	入出力	PG4/SPI1_MOSI/DR1SEC/PWM1_SYNC/TACLK6
7	PG7	入出力	PG7/ACM_RANGE/SD_D2/PWM1_AL
8	PG6	入出力	PG6/ACM_SGLDIFF/SD_D3/PWM1_AH
9	GND	—	電源グラウンド
10	GND	—	電源グラウンド
11	PG9	入出力	PG9/DR1PRI/SD_D0/PWM1_BL
12	PG8	入出力	PG8/DR1SEC/SD_D1/PWM1_BH
13	PG11	入出力	PG11/RSCLK1/SD_CLK/PWM1_CL/TACLK7
14	PG10	入出力	PG10/RFS1/SD_CMD/PWM1_CH/TACI6
15	PG13	入出力	PG13/UA0_TX/SD_D5/PPI_D14/CZM1
16	PG12	入出力	PG12/UA0_RX/SD_D4/PPI_D15/TACI2
17	PG15	入出力	PG15/UA0_CTS/SD_D7/TMR1/PPI_FS2/CDG1
18	PG14	入出力	PG14/UA0_RTS/SD_D6/TMR0/PPI_FS1/CUD1
19	GND	—	電源グラウンド
20	GND	—	電源グラウンド
21	I2C_SDA	入出力	I2C バスデータ 抵抗でプルアップされていません。5V トレラントです。
22	NC	—	未接続
23	I2C_SCL	入力	I2C バスクロック 抵抗でプルアップされていません。5V トレラントです。

24	NC	—	未接続
25	EXT_WAKE	出力	Wake Up 出力
26	EXT_CLK	出力	25MHz クロックのバッファ出力 ※VR_CTL レジスタの EXTCLK_OE ビットを1にするとクロックが出力されます。
27	RESET_IN#	入力	リセット入力
28	RESET_OUT#	出力	リセット出力
29	GND	—	電源グラウンド
30	GND	—	電源グラウンド
31	VCC_3V3	—	3.3V 電源
32	VCC_3V3	—	3.3V 電源
33	GND	—	電源グラウンド
34	GND	—	電源グラウンド
35	PF15	入出力	PF15/SPI0_SEL3/PWM0_AL/PPI_D0
36	PF14	入出力	PF14/SPI0_SEL2/PWM0_AH/PPI_D1
37	PF13	入出力	PF13/SPI0_SEL1/TMR3/PPI_D2/SPI0_SS
38	PF12	入出力	PF12/SPI0_MOSI/PWM0_SYNC/PPI_D3
39	GND	—	電源グラウンド
40	GND	—	電源グラウンド
41	PF11	入出力	PF11/SPI0_MISO/PWM0_TRIP/PPI_D4/TACLK2
42	PF10	入出力	PF10/SPI0_SCK/TMR2/PPI_D5
43	PF9	入出力	PF9/UA1_CTS/DR0SEC/PPI_D6/CZM0
44	PF8	入出力	PF8/UA1_RTS/DT0SEC/PPI_D7
45	PF7	入出力	PF7/UA1_RX/PWM0_SYNC/PPI_D13/TACI3
46	PF6	入出力	PF6/UA1_TX/PWM0_TRIP/PPI_D12
47	PF5	入出力	PF5/DR0PRI/PWM0_CL/PPI_D11/TACLK1
48	PF4	入出力	PF4/RFS0/PWM0_CH/PPI_D10/TACLK0
49	GND	—	電源グラウンド
50	GND	—	電源グラウンド
51	PF3	入出力	PF3/TFS0/PWM0_BL/PPI_D9/CDG0
52	PF2	入出力	PF2/DT0PRI/PWM0_BH/PPI_D8/CZM0
53	PF1	入出力	PF1/RSCLK0/UA0_TX/TMR5/CDG0
54	PF0	入出力	PF0/TSCLK0/UA0_RX/TMR6/CUD0
55	NMI#		NMI 入力 4.7k の抵抗でプルアップされています
56	PH2	入出力	PH2/ACM_A0/TSCLK1/SPI1_SEL2/TACI7
57	PH1	入出力	PH1/ACM_A1/TFS1/SPI1_SEL3/TACLK3
58	PH0	入出力	PH0/ACM_A2/DT1PRI/SPI0_SEL3/WAKEUP

59	GND	—	電源グラウンド
60	GND	—	電源グラウンド

2.6 JTAG ヘッダ

表 5 JTAG ピンヘッダ

ピン番号	信号名	ピン番号	信号名
1	GND	2	EMU#
3	(KEY)	4	GND
5	VCC_3V3	6	TMS
7	GND	8	TCK
9	GND	10	TRST#
11	GND	12	TDI
13	GND	14	TDO

JTAG ヘッダには、以下の JTAG-ICE を使用することが可能です。

表 6 JTAG-ICE

製品名	備考
Analog Devices ADZS-HPUSB-ICE	http://www.analog.com/jp/processors-dsp/blackfin/usb-emulator/bf/processors/product.html
Analog Devices ADZS-USB-ICE	http://www.analog.com/jp/processors-dsp/blackfin/usb-emulator/bf/processors/product.html
Analog Devices ADZS-100B-ICE	http://www.analog.com/jp/processors-dsp/blackfin/emulator-100/processors/product.html
gnICE+	http://docs.blackfin.uclinux.org/doku.php?id=hw:jtag:gnice-plus

3 更新履歴

版	更新日	更新内容
第 1 版	2012/04/10	初版発行
第 2 版	2012/04/28	P9. EXT_CLK 信号の説明に補足を追加
第 3 版	2012/05/28	P4 サポートページの案内を追加 P6 VDDINT 電圧値変更(1.375V)
第 4 版	2013/01/23	P5 基板外形図更新